

$$\sum 66 + 20 = 86 \stackrel{!}{=} \underline{113}$$

23.7.16

T. Loewel

Dr. Thomas Loewel

MCT-Klausur

15.07.2016

Name:

Matrikel-Nummer:

Letzter Prüfungsversuch: [ ]

Für die Bearbeitung der Aufgaben sind bitte leere, mit Ihrem Namen und der Matrikelnummer versehene Blätter zu verwenden. Notizen, Lösungen etc. in den Datenblättern werden **nicht** berücksichtigt!

### Aufgabe 1

(21 Punkte)

15

- a) Skizzieren Sie ein Modell-Mikrocomputersystem bestehend aus den Komponenten Mikroprozessor, Hauptspeicher und Peripherie (I/O) sowie den drei notwendigen Bussystemen! Kennzeichnen Sie dabei jeweils die Übertragungsrichtung und benennen Sie die Bussysteme! (5P) 4
- b) Erweitern Sie das Modell-Mikrocomputersystem aus 1a) um folgende Peripherie: Zwei Programmable Interrupt Controller (PIC) (ein Master PIC, ein Slave PIC) und ein Universal Asynchronous Receiver Transmitter (UART)! (4P) 2
- c) Der Mikroprozessor besitzt unter anderem folgenden Eigenschaften: Einen internen 16 Bit Datenbus und einen internen 16 Bit Adressbus, einen maskierbaren und einen nichtmaskierbaren Interrupt-Eingang, einen Steuersignalausgang für I/O- oder Hauptspeicherzugriffe sowie weitere Steuersignalausgänge. Besitzt der Mikroprozessor eine Von-Neumann- oder eine Harvard-Architektur? (3P) 3
- d) Wie groß ist der Adressraum des Mikroprozessors aus 1c)? (3P) 3
- e) Kann der Adressraum des Mikroprozessors aus 1c) vollständig für den Hauptspeicher verwendet werden oder muss eine Aufteilung zwischen Hauptspeicher und I/O erfolgen? (Begründung) (3P) 3
- f) Welches externe Bauteil (nicht Bestandteil der CPU) ermöglicht den Einsatz eines zeitlich gemultiplexten Daten- und Adressbusses? (3P) 3

### Aufgabe 2

(11 Punkte)

11

Mit Hilfe des Parallel-I/O-Bausteines 82C55A (siehe auch Datenblattsammlung) mit der Basisadresse 80h soll eine vereinfachte A/D - D/A-Schnittstelle realisiert werden. Dafür müssen sowohl Port A als auch Port B als einfache Datenbusse (ohne "Hand shaking") konfiguriert werden. Über Port A sollen die zu wandelnden digitalen Daten zum D/A-Wandler ausgegeben werden, über Port B sollen die digitalisierten Daten vom A/D-Wandler eingelesen werden. Port C wird für die Steuerung der mit dem 82C55A verbundenen A/D- und D/A-Wandler verwendet. Die Steuerung erfolgt ausschließlich in Richtung der Wandler.

- a) Entwerfen Sie dafür das Control Word und übermitteln Sie dieses anschließend an den 82C55A! Hinweis: Mode 0 - Basic Input/Output, Mode 1 - "Hand shaking" Input/Output, Mode 2 - Bi-directional Bus. (6.5P) 6,5
- b) Lesen Sie die digitalisierten Daten vom A/D-Wandler ein! (3P) 3
- c) Über welche Adresse werden die zu wandelnden Daten ausgegeben? (1.5P) 1,5

### Aufgabe 3

(15 Punkte) 14

Gegeben sei der programmierbare Intervall-Timer-Baustein 8253 mit der Basisadresse 40h (siehe auch Datenblattsammlung).

- Programmieren Sie Zähler 2 als Rechteckgenerator mit einer Periodendauer von 2000 Takten! (7.5P) 7,5
- Ermitteln Sie den aktuellen Zählerwert von Zähler 1 (nur Low-Byte) unter Verwendung des Zwischenspeichers! (4.5P) 3,5
- Nennen Sie zwei Betriebsarten dieses Bausteines! (3P) (3)

### Aufgabe 4

(27 Punkte) 27

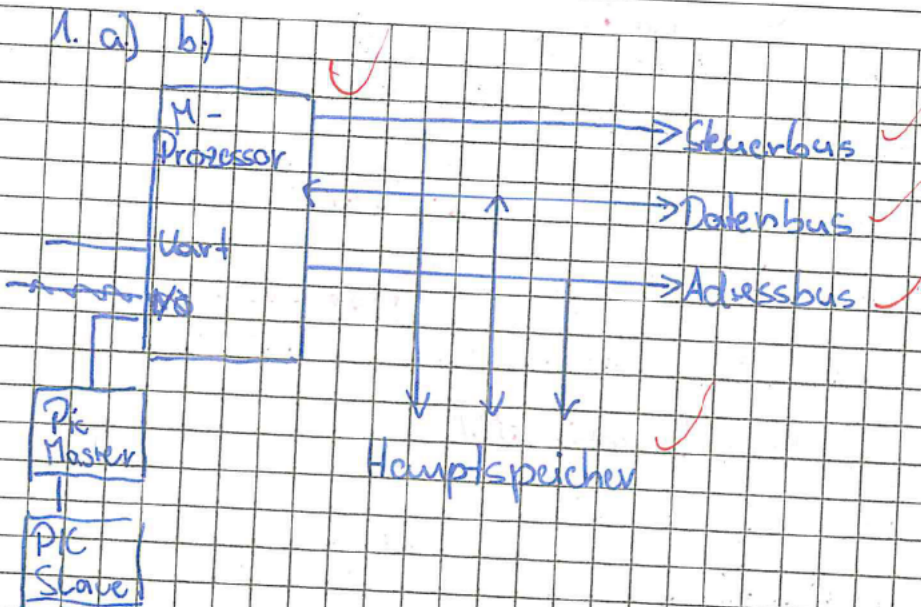
Gegeben sei ein Interrupt-System bestehend aus einem Programmable Interrupt Controller (PIC) des Typs 8259A mit der Basisadresse 20h (siehe auch Datenblattsammlung).

- Initialisieren Sie das System mit den folgenden Randbedingungen: 8086-Modus, normales Ende des Interrupts (EOI), non-buffered Modus, Zustandstriggerung (level), normaler (not special) fully nested Modus! Ferner soll IRQ0 im Master PIC ein Offset von 18h besitzen! Weitere nicht benötigte bzw. vorgegebene Bit in den Initialization Command Words (ICW) sollen mit Null angenommen werden. (6P) 5
- Sperren Sie IRQ0 unter der Randbedingung, dass die restliche Maske nicht verändert wird! (6P) 4
- Welches Register im normalen Betrieb (nicht Initialisierung) des PIC ist unter der Adresse 21h erreichbar? (3P) 0
- Wie setzt sich ein Eintrag in der Interrupt-Vektor-Tabelle zusammen? (3P) 3
- Was ist der Unterschied zwischen einem Softwareinterrupt und einem Hardwareinterrupt? (3P) 3
- Wo im Hauptspeicher befindet sich die Interrupt-Vektor-Tabelle? (3P) 3
- Senden Sie ein nicht spezifisches End-of-Interrupt! (3P) 3

### Aufgabe 5

(6 Punkte) 5

Gegeben sei der Schnittstellenbaustein Universal Asynchronous Receiver Transmitter (UART) mit der Basisadresse 3F8h (siehe auch Datenblattsammlung). Ändern Sie die Anzahl der Stopbit von 2 Stopbit auf 1 Stopbit! Alle übrigen Einstellungen im Datenformat sollen nicht verändert werden! (6P) 5



c.) von Der Mikroprozessor besitzt eine von-Mosmann-Architektur ✓

d.) Der Adressraum umfasst  $2^{16}$  Adressen. ✓

e.) Der Hauptspeicher muss aufgeteilt werden, da es keine isolated I/O Ports gibt (z.B. 8255A) ✓ *MIN MEM-I/O*

f.) Speicher FChip - FChip ✓

2.)

a.) outportb (83h, 1000 0010b); ✓

b.) IN (81h AL, 81h); ✓

c.) Die Daten werden über 80h ausgegeben ✓

3.) a) outportb (43h, 1011 X110); ✓

*MOV* outportb (AX, 2000 d); ✓

outportb (42h, AL); ✓

*MOV* outportb (AL, AH); ✓

outportb (42h, AL); ✓

b) outportb (43h, 0100 XXX0); ✓

*inports* outports outports (AL, 41h); ✓

c.) Rechteckgenerator ✓  
Timer-Interrupt ?? Softwarestelle, strob.?

- 5.4. a)  $\text{outportb}(20\text{h}, \overset{0001}{\text{0x}}\overset{1011}{1101});$   
 $\text{outportb}(21\text{h}, 18\text{h});$   
 $\text{outportb}(21\text{h}, 0\text{h});$  / Nur Masker  
 $\text{outportb}(21\text{h}, 1\text{h});$  ✓  
 b)  $\text{outportb}(21\text{h}, \text{inportb}(21\text{h}) \& \overset{\text{OR}}{0000\ 0001});$  ✓  
 c) ICW1  $0001$  bzw. IMR  
 d) Code Segment 2 Byte }  
 Instruction Pointer 2 Byte } 4 Byte ✓  
 e.) ~~ein Hardwareinterrupt wird durch~~  
 Im Gegensatz zum Hardwareinterrupt wird ein Softwareinterrupt programmiert. Ein Hardwareinterrupt wird durch Hardware ausgelöst.  
 f.) Die Interrupt-Vektor-Tabelle beginnt bei 0h.  
 g.)  $\text{outportb}(20\text{h}, 0010\ 0000);$
5.  $\text{outportb}(3\text{FBh}, \text{inportb}(3\text{FBh}) \& \text{AAAA}\ 0110);$

