

Aufgabe 1 Einfache CRC-Codierung (7/5)

Gegeben ist folgendes Generator-Polynom: $G(u) = 1 \cdot u^2 + 1 \cdot u^1 + 1 \cdot u^0$ 111
Die Berechnung der Codewörter gemäß den unten gegebenen Tabellen ist unvollständig.

Aufgabenstellung:

- a) Berechnen Sie alle fehlenden Codewörter. Tragen Sie ihre Ergebnisse in die gegebene Wahrheitstabelle ein. [10]
- b) Entwickeln Sie eine kombinatorische Schaltung zur Erzeugung des Codewortes mit minimaler (!) Gatteranzahl. Nutzen Sie dazu die gegebenen Karnaugh-Diagramme. Erlaubt sind Gatter mit zwei Eingängen (AND, NAND, OR, NOR, XOR, XNOR). [10]
- c) Geben Sie das Schaltbild mit Eingangs- und Ausgangsregister (Register-Kombinatorik-Register) an. [10]
- d) Entwickeln Sie eine VHDL-Beschreibung zur Realisierung der Codewort erzeugung. Für die Registerstufen sind Master-Slave D-FF zu verwenden, aktiv mit der steigenden Flanke. Die Register werden mit einem High-aktiven RESET-Signal zurückgesetzt. [10]

Gegeben ist folgende Wahrheitstabelle:

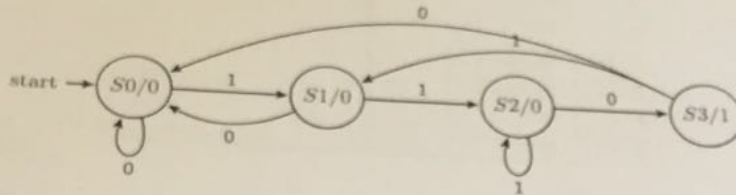
(i) ₁₀	n = 7 Codewort							Y ₁₆
	m = 5					k = 2		
	n ₄	n ₃	n ₂	n ₁	n ₀	r ₁	r ₀	
0	0	0	0	0	0	0	0	
1	0	0	0	0	1	1	1	
2	0	0	0	1	0	0	1	
3	0	0	0	1	1	1	0	
4	0	0	1	0	0	1	0	
5	0	0	1	0	1	0	1	
6	0	0	1	1	0	1	1	
7	0	0	1	1	1	0	0	
8	0	1	0	0	0	1	1	
9	0	1	0	0	1	0	0	
10	0	1	0	1	0	1	0	
11	0	1	0	1	1	0	1	
12	0	1	1	0	0	0	1	
13	0	1	1	0	1	1	0	
14	0	1	1	1	0	0	0	
15	0	1	1	1	1	1	1	

(i) ₁₀	n = 7 Codewort							Y ₁₆
	m = 5					k = 2		
	n ₄	n ₃	n ₂	n ₁	n ₀	r ₁	r ₀	
16	1	0	0	0	0	0	1	
17	1	0	0	0	1	1	0	
18	1	0	0	1	0	0	0	
19	1	0	0	1	1	1	1	
20	1	0	1	0	0	1	1	
21	1	0	1	0	1	0	0	
22	1	0	1	1	0	1	0	
23	1	0	1	1	1	0	1	
24	1	1	0	0	0	1	0	
25	1	1	0	0	1	0	1	
26	1	1	0	1	0	1	1	
27	1	1	0	1	1	0	0	
28	1	1	1	0	0	0	0	
29	1	1	1	0	1	1	1	
30	1	1	1	1	0	0	1	
31	1	1	1	1	1	1	0	

Aufgabe 2 Einfacher Moore-Automat zur Erkennung einer Bit-Sequenz

Punkte
40

Es wird ein Schaltwerk entworfen, mit dem bei einer binäre Eingangsfolge $X(t)$ die Sequenz 110 detektiert wird. Am Ausgang des Moore-Automaten soll dies durch eine $Y = [1]$ angezeigt werden. Ansonsten soll der Ausgang $Y = [0]$ anzeigen. In der Abbildung unten ist das Zustandsdiagramm des Schaltwerks dargestellt.



Hinweis: In den Knoten werden der Zustand und die dazugehörige Ausgabe dargestellt (S_n/Y_n). Auf den Kanten wird der jeweilige Zustandsübergang dargestellt (X).

Aufgabenstellung:

- Erstellen Sie die Zustandstabelle und die Kodierung der Zustände. [10]
- Entwickeln Sie eine Realisierung mit geringster (!) Gatteranzahl (erlaubt sind nur Gatter mit 2 Eingängen, AND, NAND, OR, NOR, XOR, XNOR) unter Verwendung von MS D-FF. [10]
- Beschreiben Sie den Automaten in VHDL als verhaltenssteuernden (Zustandsdiagramm) Drei-Prozess-Entwurf. Nutzen Sie bitte den Lückentext. Alle Zustandsänderungen und Signalwechsel erfolgen nach 20 ns! Achten Sie darauf, dass die Signale RESET und CLK inkludiert sind. [10]
- Der Eingang des Automaten wird mit dem Vektor $X = [011010111000]$ beaufschlagt. Vervollständigen Sie das Impulsdiagramm. [10]

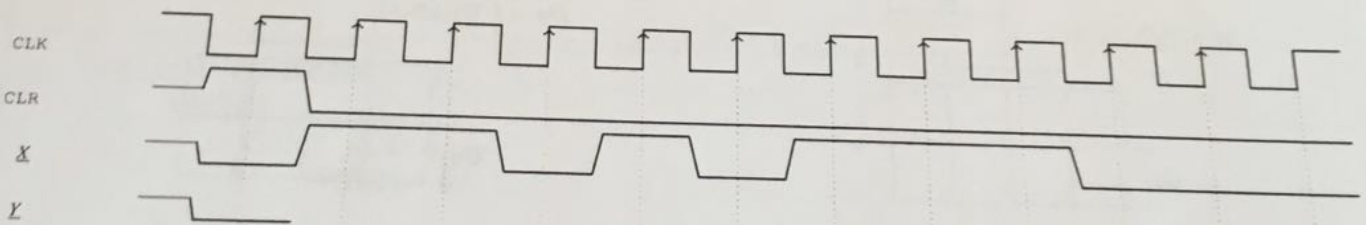


Abbildung 1: Impulsdiagramm der Bit-Sequenzerkennung.

Aufgabe 3 Realisierung eines einfachen asynchronen Zählers

Punkte
40

Es wird ein asynchroner Zähler zur Darstellung eines definierten Zahlenbereiches benötigt. Der Zahlenbereich bildet sich gemäß des Stellenwertsystems, bei negativer Basis, wie folgt ab:

$$N_b = \sum_{i=0}^{n-1} d_i \cdot (-b)^i = \sum_{i=\text{gerade}} d_i \cdot (b)^i - \sum_{i=\text{ungerade}} d_i \cdot (b)^i \quad (1)$$

Dabei gilt:

- d_i : ganzzahliger Koeffizient (Ziffer), $d_i \in \{0, 1 \dots |b| - 1\}$
- b : ganzzahlige Basis, $b \in \mathbb{Z}, b \leq -2$
- n : Stellenzahl, $n \in \mathbb{N}, n \geq 1$

Für den Zähler gelte:

- d_i : ganzzahliger Koeffizient (Ziffer), $d_i \in \{0, 1\}$
- b : ganzzahlige Basis, $b = -2$
- n : Stellenzahl = 5

Somit folgt:

$$N_{-2} = d_4 \cdot 2^4 - d_3 \cdot 2^3 + d_2 \cdot 2^2 - d_1 \cdot 2^1 + d_0 \cdot 2^0 \quad (2)$$

Aufgabenstellung:

- a) Bestimmen Sie den kleinsten Zahlenwert $N_{min,10}$ und den maximalen Zahlenwert $N_{max,10}$. Füllen Sie die gegebene Wahrheitstabellen für N_{10} aus. [10]
- b) Ordnen Sie die Codierung gemäß der gegebenen Tabelle neu [10]. Entwickeln Sie eine Zählerschaltung, basierend auf MS D-FF, zur Realisierung und geben Sie das Blockschaltbild an. [10]
- c) Beschreiben Sie den Zähler in VHDL als Strukturmodell gemäß des in b) entwickelten Blockschaltbildes. Nutzen Sie bitte den Lückentext. Die VHDL-Beschreibung für das Master-Slave DFF ist gemäß Text bereits gegeben. Achten Sie darauf, dass die Signale RESET und CLK inkludiert sind. [10]



Klausur
EDA
Prof. Dr.-Ing. Peter Gregorius

- Lückentext für das Eingangsregister

444

```
1 LIBRARY ieee;
  USE ieee.std_logic_1164.ALL;
3 USE ieee.std_logic_unsigned.all;
  USE ieee.numeric_std.ALL;
5
  ENTITY PIPO5Bit is
7     port(
9         .....
10        .....
11        .....
12        );
  end PIPO5Bit;
13
  ARCHITECTURE PIPO5Bit_arc OF PIPO5Bit IS
15 SIGNAL .....
16 SIGNAL .....
17 BEGIN
18     PIPO5Bit: PROCESS ..... IS
19     BEGIN
20         .....
21         .....
22         .....
23         .....
24     END PROCESS PIPO5Bit;
25     .....
  END PIPO5Bit_arc;
```