

Als Hilfsmittel sind erlaubt: - eigene Mitschriften, eigene Lösungen von Übungsaufgaben, ausgehändigte/empfohlene Skripte, Fachliteratur.

+++ Es sind alle Bearbeitungsschritte darzustellen, sonst gibt es keine Punkte! +++

Bitte versehen Sie diese sowie alle folgenden Seiten mit Namen und Matrikelnummer.

Bitte benutzen Sie keinen roten Stift!!!

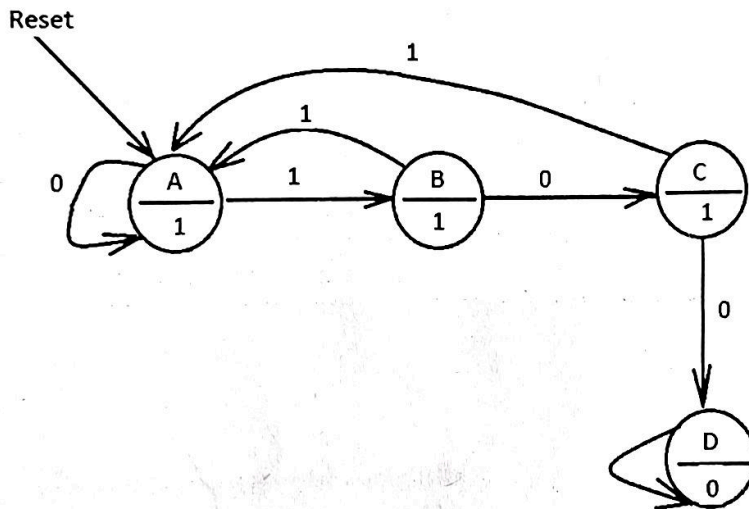
Bearbeitungszeit: 90 min.

Aufgabe 1

20 Punkte

Für den folgenden Zustandsgraphen ist eine Schaltung vom Typ Mealy unter Benutzung von T-Flipflop und D-Flipflops zu entwickeln. Anschließend soll die Schaltung skizziert werden.

Es sind alle Bearbeitungsschritte darzustellen, sonst gibt es keine Punkte! (z.B. Zustandsgraph vom Typ Mealy)



| | | T-FF | |
|-------------------------------|--|------|---|
| | | x | |
| y ₁ y ₀ | | 0 | 1 |
| 00 | | | |
| 01 | | | |
| 11 | | | |
| 10 | | | |

| | | D-FF | |
|-------------------------------|--|------|---|
| | | x | |
| y ₁ y ₀ | | 0 | 1 |
| 00 | | | |
| 01 | | | |
| 11 | | | |
| 10 | | | |

| | | Ausgang | |
|-------------------------------|--|---------|---|
| | | x | |
| y ₁ y ₀ | | 0 | 1 |
| 00 | | | |
| 01 | | | |
| 11 | | | |
| 10 | | | |

Zustandsfolgetabelle (Übergangstabelle)

| Gegenwärtiger Zustand | | Nächster Zustand (Folgezustand) | | | | gegenwärtiger Ausgang | |
|-----------------------|----------------|---------------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------|-------|
| | | x = 0 | | x = 1 | | x = 0 | x = 1 |
| y ₁ | y ₀ | y ₁ ⁺ | y ₀ ⁺ | y ₁ ⁺ | y ₀ ⁺ | D | D |
| | | | | | | | |

Vereinfachte Zustandsfolgetabelle

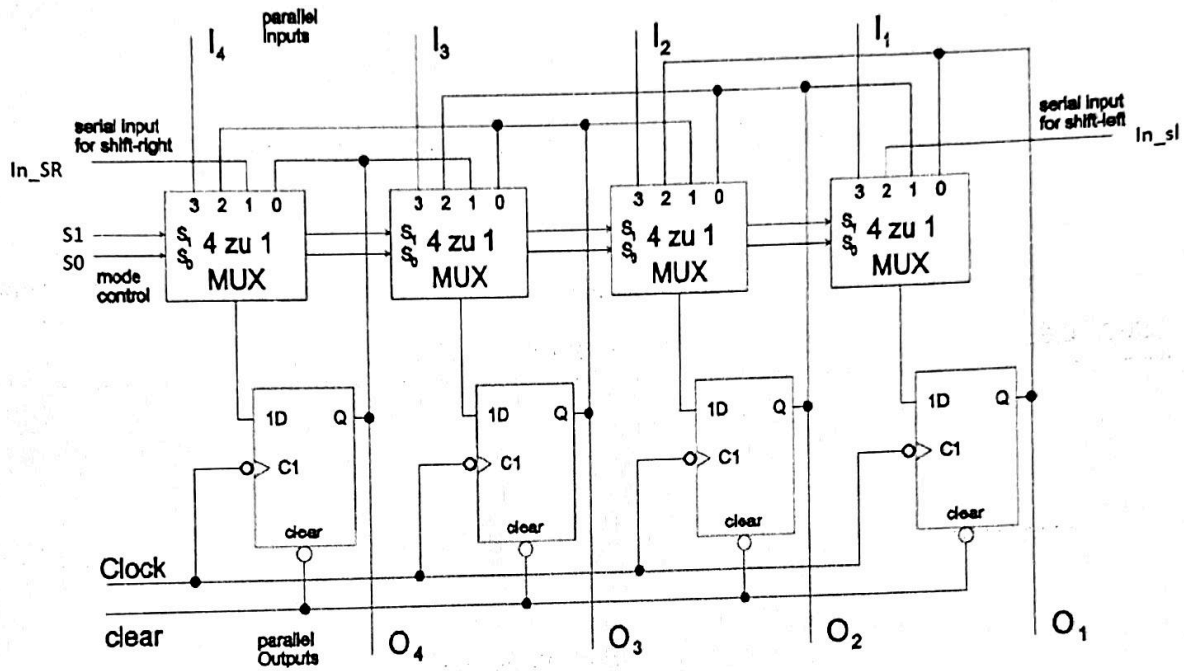
a = 00 b = 01 c = 10 d = 11

| Gegenwärtiger Zustand | Folgezustand, gegenw. Ausgang bei x = 0 | Folgezustand, gegenw. Ausgang bei x = 1 |
|-----------------------|---|---|
| a | | |
| b | | |
| c | | |
| d | | |

Aufgabe 2

30 Punkte

Schieberegister



2.1

Analysieren Sie die Schaltung, in dem Sie die maximalmögliche und die minimalmögliche Anzahl der auftretenden Delta-Delays ermitteln. Begründen Sie Ihre Aussage anhand einer tabellarischen Aufstellung über die Signaländerungen und die entstehenden Events.

| Zeit | Delta | Event |
|------|-------|-------|
| | | |

2.2 Beschreiben Sie (das Verhalten) die Schaltung in VHDL in 2 Prozessen (Verhaltensbeschreibung! **Kein Structure!**). Dabei sollen die Prinzipchen des generischen Designes angewendet sein!!!

2.3 Schreiben Sie eine aussagekräftige VHDL-Testbench und stellen Sie anschließend alle relevanten Signale im Timing-Diagramm dar. Es sollen in der Simulation alle durch das Umschalten der Steuereingänge (S1 und S0) erreichbaren Zustände (z.B. „Schiebe Links“) dargestellt werden. Die Auswirkungen des Signals „clear“ sollen ebenfalls Teil der Simulation sein

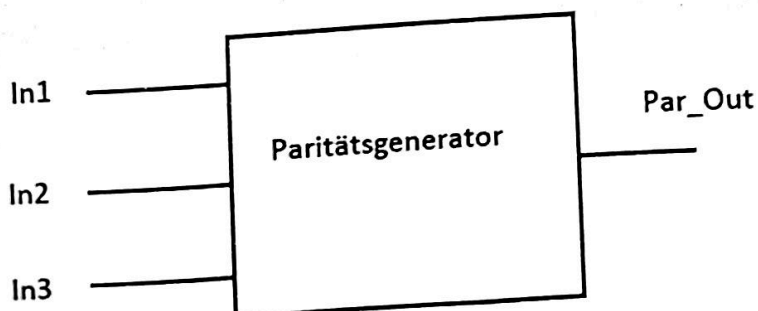
2.4 Die Schaltung soll mit der $f_{\max} = 10 \text{ KHz}$ betrieben werden.

a) $t_p \text{ Mux} = 50 \text{ us}$. Welche zeitlichen Parameter der eingesetzten FF sind von entscheidender Bedeutung, unter der Annahme, dass die $t_h < t_p$? (Antworten ohne schaltungsbezogene Begründung werden nicht bewertet!)

b) Ermitteln sie die maximal zulässigen Angaben der Parameter. (Unbedingt alle Rechenschritte darstellen) um den 10 KHz Betrieb zu ermöglichen.

10 Punkte

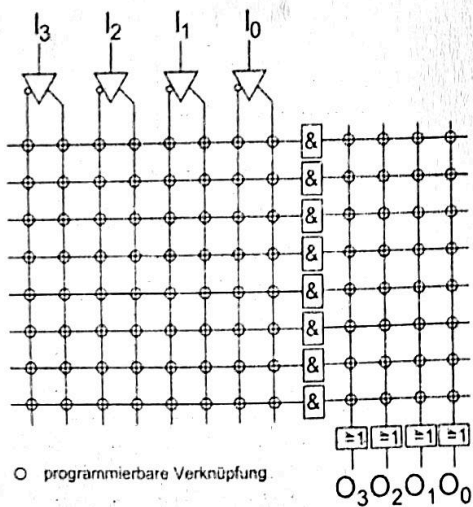
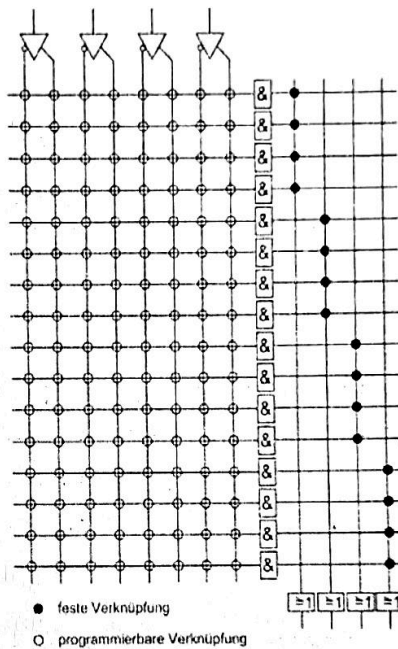
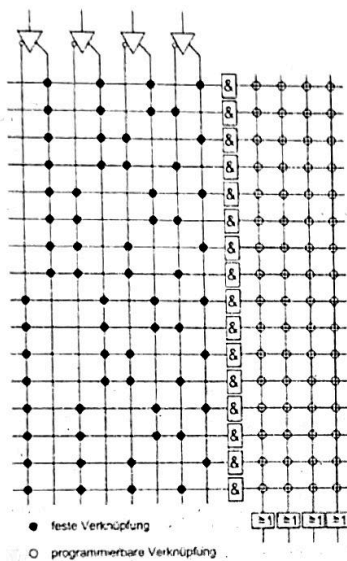
Aufgabe 3



3.1 Realisieren Sie einen 3 Bit Paraty Generator (Gerade Parität) in einem der untenstehenden programmierbaren Logikbausteine durch Ankreuzen der zu programmierenden Verknüpfungen.

Schreiben Sie die programmierten Verknüpfungen ebenfalls als Gleichung auf.
Begründen Sie Ihre Auswahl!

Es sind alle Arbeits- und Ableitungsschritte zu dokumentieren.



3.2 Beschreiben Sie den Generator in VHDL unter der Verwendung der FOR – Schleife (Die Kern Funktion des generators !) (Nur Architecture!)

Aufgabe 4

20 Punkte

Gegeben ist folgende VHDL- Beschreibung (Auszug):

```
ARCHITECTURE arch OF Stimulus IS  
  SIGNAL a: std_logic;  
  SIGNAL b,c,d, clk, en: std_logic:= '0';  
  SIGNAL dt: std_logic_vector (1 downto 0);
```

BEGIN

```
  clk <= not clk AFTER 5 ns;  
  a <= '0' AFTER 0 ns, '1' AFTER 4 ns, '0' AFTER 23 ns, '1' AFTER 32 ns, '0' AFTER 46 ns, '1' AFTER 51 ns, '0' AFTER 59 ns, '1' AFTER 69 ns;  
  en <= '1' AFTER 3 ns, '0' AFTER 72 ns;
```

```
  PROCESS (clk, en)
```

```
    VARIABLE counter:integer;
```

```
  BEGIN
```

```
    if (en = '0')then
```

```
      b <= '0';
```

```
      c <= '0';
```

```
      counter := 0;
```

```
      dt <=(others => '0');
```

```
    else
```

```
      counter := counter + 1;
```

```
      if (clk='1' and clk'event)then
```

```
        b <= a;
```

```
        c <= b;
```

```
        if (counter = 8)then
```

```
          c <= '1';
```

```
          counter := 0;
```

```
        end if;
```

```
        dt <= (b & c);
```

```
        end if;
```

```
      end if;
```

```
    END PROCESS;
```

```
    d <= dt(0) and dt(1);
```

```
  END ARCHITECTURE arch;
```

Füllen Sie hierfür die zeitlichen Verläufe der Signale (Variablen) ein:

