

Als Hilfsmittel sind erlaubt: - eigene Mitschriften, eigene Lösungen von Übungsaufgaben, ausgehändigte/empfohlene Skripte, Fachliteratur.

+++ **Es sind alle Bearbeitungsschritte darzustellen, sonst gibt es keine Punkte!** +++

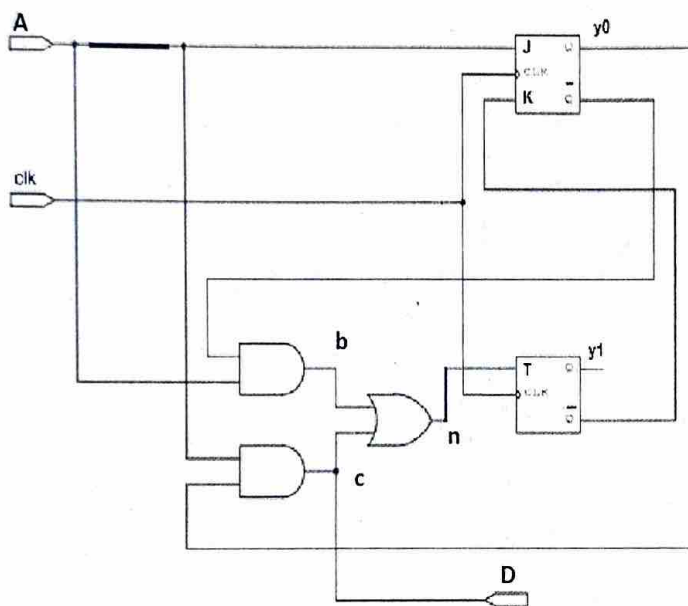
Bitte versehen Sie diese sowie alle folgenden Seiten mit Namen und Matrikelnummer.

Bitte benutzen Sie keinen roten Stift!!!

Bearbeitungszeit: 90 min.

Aufgabe 1

20 Punkte



1.1

Analysieren Sie die Schaltung, in dem Sie die maximalmögliche und die minimalmögliche Anzahl der auftretenden Delta-Delays ermitteln. Begründen Sie Ihre Aussage anhand einer tabellarischen Aufstellung über die Signaländerungen und die entstehenden Events.

Zeit	Delta	Event

1.2 Für die Schaltung ist ein Zustandsgraph vom Typ Moore zu entwickeln.

A

$y_1 y_0$	0	1
00		
01		
11		
10		

T =

A

$y_1 y_0$	0	1
00		
01		
11		
10		

J =

A

$y_1 y_0$	0	1
00		
01		
11		
10		

K =

A

$y_1 y_0$	0	1
00		
01		
11		
10		

D =

Zustandsfolgetabelle (Übergangstabelle)

Gegenwärtiger Zustand	Nächster Zustand (Folgezustand)				gegenwärtiger Ausgang	
	A = 0		A = 1		A = 0	A = 1
	y_1^+	y_0^+	y_1^+	y_0^+	D	D
y_1 y_0						

Vereinfachte Zustandsfolgetabelle

a = 00 b = 01 c = 10 d = 11

Gegenwärtiger Zustand	Folgezustand, gegenw. Ausgang bei A = 0	Folgezustand, gegenw. Ausgang bei A = 1
a		
b		
c		
d		

Aufgabe 2

10 Punkte

Gegeben sei folgende VHDL- Beschreibung:

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

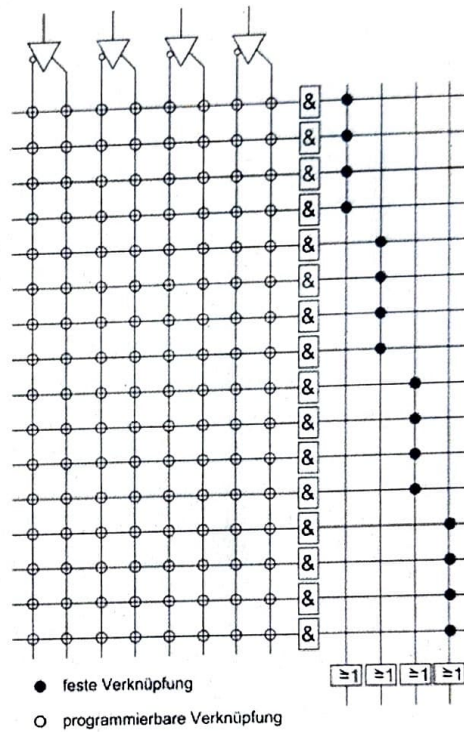
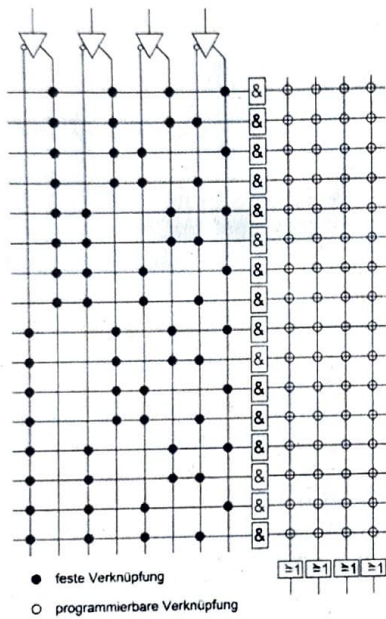
entity komparator is
    port(    s , t : in std_logic_vector(1 downto 0);
           m , b , r: out std_logic);
end entity komparator;

architecture arch of komparator is
begin
m <= '1' when s < t else
    '0';
b <= '1' when s > t else
    '0';
r <= '1' when s = t else
    '0';
End architecture arch;
```

Realisieren Sie die beschriebenen Funktionen in einem der untenstehenden programmierbaren Logikbausteine durch Ankreuzen der zu programmierenden Verknüpfungen. Schreiben Sie die programmierten Verknüpfungen ebenfalls als Gleichung auf.

Begründen Sie Ihre Auswahl!

Es sind alle Arbeits- und Ableitungsschritte zu dokumentieren.



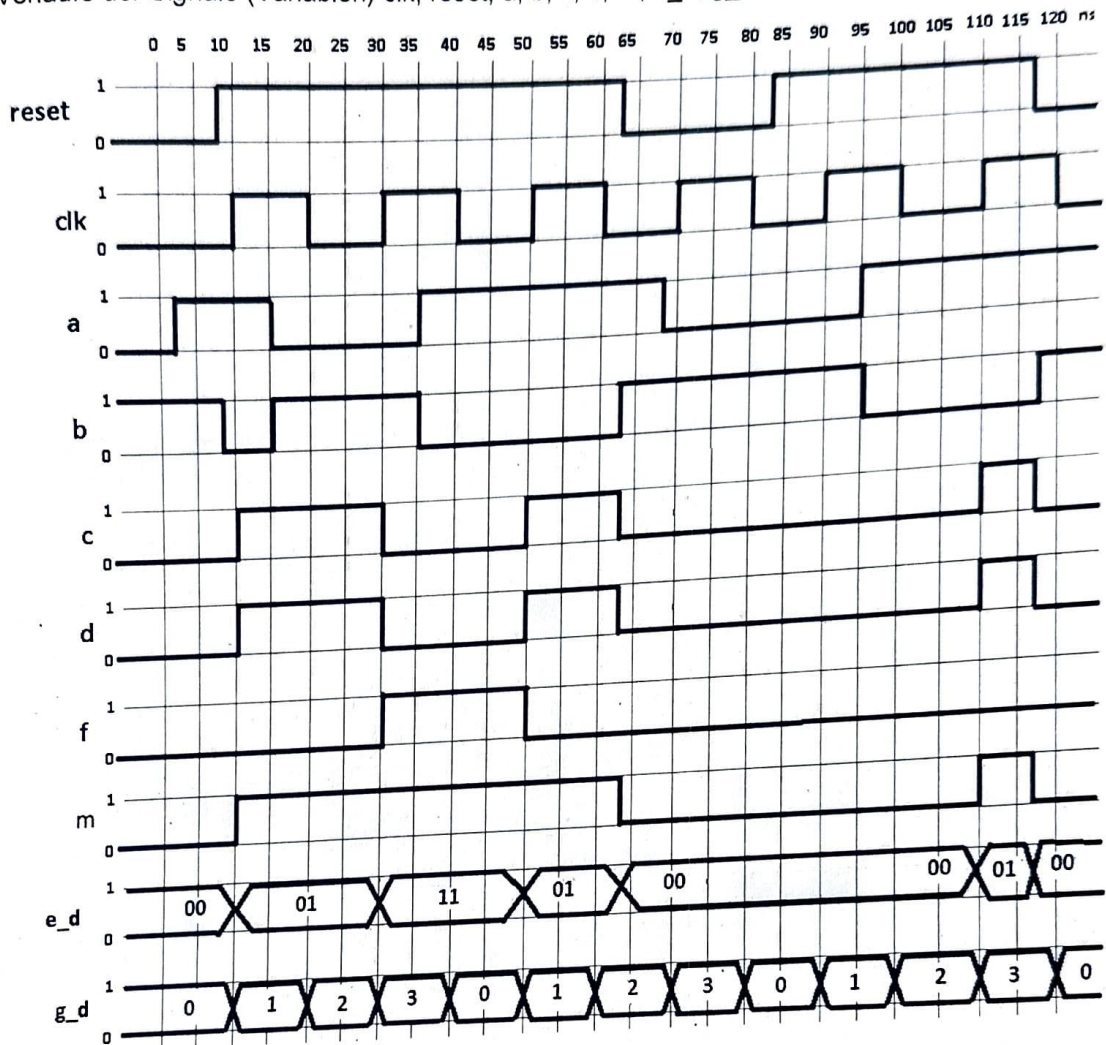
Aufgabe 3

20 Punkte

Setzen Sie die Beschreibung in VHDL in 3 Prozessen fort, die zum folgenden Signalverlauf in der Simulation führt (**Die Modellierung der Signale unter der Verwendung der Zeit Konstrukte ist nicht erlaubt!!!**):

```
.....  
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
USE ieee.std_logic_arith.all;  
  
ENTITY Klausur IS  
  
END ENTITY Klausur;  
--  
ARCHITECTURE arch OF Klausur IS  
SIGNAL a, d, m, f : std_logic := '0';  
SIGNAL b : std_logic := '1';  
SIGNAL reset : std_logic := '0';  
SIGNAL clk : std_logic := '0';  
SIGNAL e_d : std_logic_vector (1 downto 0);  
SIGNAL g_d : integer := 0;  
  
BEGIN  
a <= '1' after 2 ns, '0' after 15 ns, '1' after 35 ns, '0' after 68 ns, '1' after 95 ns;  
reset <= '1' after 8 ns, '0' after 63 ns, '1' after 83 ns, '0' after 117 ns;  
clk <= not clk after 10 ns;  
  
PROCESS(clk, reset)  
variable c : std_logic := '0';  
BEGIN
```

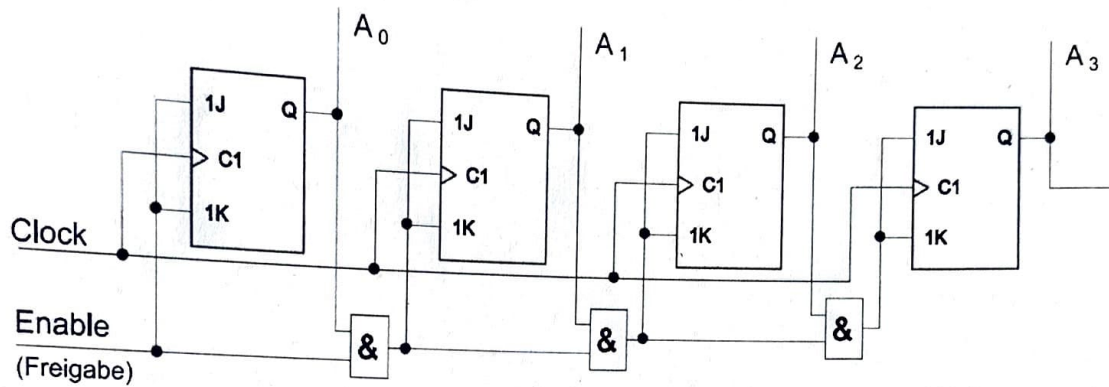
Verläufe der Signale (Variablen) clk, reset, a, b, c, d, m, e_d, g_d und f:



Aufgabe 4

20 Punkte

- 1) Beschreiben Sie die folgende Schaltung in VHDL (Verhaltensbeschreibung (**Behavior Model**)!), unter der Verwendung der Kenntnisse des generischen Designs.



- 2) Die Laufzeit per JK FF (t_d) beträgt 5 ms, $t_s = 2$ ms, $t_h = 1$ ms. Die Laufzeit per UND Gatter (t_d) beträgt 4 ms, $t_s = 1$ ms, $t_h = 1$ ms. Welche Maximale Frequenz vom Clock ist zulässig? (Alle Rechenschritte, mit Begründung darstellen!)