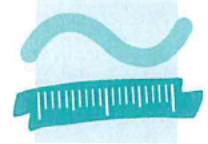


Digitaltechnik Klausur, 01.02.2016, WS 2015	Name: [REDACTED]
	Matrikelnr.: [REDACTED]



Hinweis

Als Hilfsmittel sind erlaubt:

- DT-Skript plus Vorlesungsfolien
- eigene Mitschriften aus der Vorlesung
- eigene Lösungen von Laboraufgaben
- Taschenrechner (nicht programmierbar)

Das Verwenden weiterer Hilfsmittel, sowie die Angabe falscher Voraussetzungen (siehe „Erklärung“) gelten als Täuschung und führen zur Nichtanerkennung der Klausur.

Es sind alle Arbeits- und Ableitungsschritte zu dokumentieren. Lösungen ohne erkennbaren Lösungsweg oder kurze Begründung, sowie durchgestrichene oder nicht lesbare Lösungen werden nicht gewertet. Bei zwei angegebenen Lösungen wird keine berücksichtigt. Bitte benutzen Sie keine roten oder grünen Stifte. Mobiltelefone sind abzuschalten und in der Tasche zu verstauen. Der gegenseitige Austausch von Unterlagen, sowie Unterhaltungen während der Klausur sind nicht gestattet. Jeder Täuschungsversuch, sowie das Anfertigen von Kopien führt zum sofortigen Ausschluss und somit zum Nichtbestehen der Prüfung.

Zum Bestehen der Klausur sind 35 von insgesamt 90 (70) Punkten hinreichend. Es stehen mehr Aufgaben für die Bearbeitung zur Verfügung als zum Bestehen erforderlich.

Bitte tragen Sie Ihre Lösungen in den dafür vorgesehenen Platz **auf diesen Aufgabenblättern** ein. Für Überlegungen und Nebenrechnungen verwenden Sie bitte separates Papier.

Bearbeitungszeit: 90 min.

Erklärung

Ich bestätige mit meiner Unterschrift, dass ich prüfungsfähig bin und bei Beginn der Klausurarbeit die vollständigen Unterlagen erhalten habe. Ferner erkläre ich, dass ich zu dieser Prüfung angemeldet bin und alle Voraussetzungen zur Zulassung durch eigenständige Bearbeitung aller Laboraufgaben und Abgabe eines selbst angefertigten Protokolls zu jedem Termin erfüllt habe.

[REDACTED]

(Unterschrift)

Ab hier bitte keine Eintragungen vornehmen!

Aufgabe:	1	2	3	4	5	Summe
Punkt(e):	16	20	20	18	16	90
Erreicht:	10	13	14	18	8	63

Note:

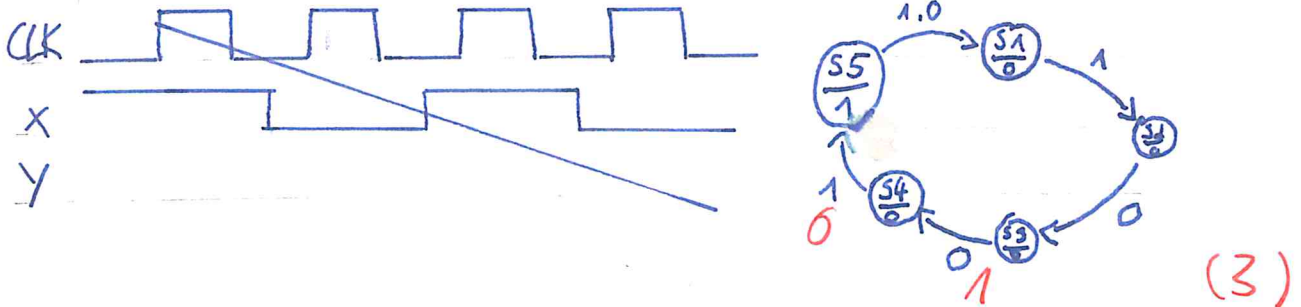
1.3

Aufgabe 1

(16 Punkte)

Endliche Automaten

- Entwerfen Sie den Zustandsgraphen eines Moore-Automaten, der in einem sequentiellen Bitstrom am Eingang x die Bitfolge 1010 erkennt, d.h. nach dieser Bitfolge für einen Takt den Ausgang y auf 1 setzt.



- Erläutern Sie stichpunktartig die Bedeutung der Zustände und kennzeichnen Sie den Start-Zustand, in dem sich der Automat nach einem Reset befinden soll.

- S1-4 schalten, bei dem Ihnen zugeordneten Bit, der Bitfolge in den nächsten Zustand
 - S5 ist der letzte Zustand, wenn dieser durch eine 1 im Zustand S4 "aufgerufen wird", schaltet sich Y auf 1
 - damit S5 nur ein Taktzyklus anhält wird bei $x=1$ und $x=0$ weiter geschaltet (in S1)
 - in einem Reset sollte der Automat in S1, dem Anfang der Abfrage befinden
- (4)

- Ergänzen Sie das folgende Timing-Diagramm, so dass das gewünschte Verhalten des Automaten eindeutig dargestellt wird.



- Wie würde sich das Zeitverhalten bei Verwendung eines Mealy-Automaten unterscheiden?

Der Mealy Automat würde mehr Zeit brauchen, weil ein Zustand mehr benötigt wird als bei Moore um diesen Automaten zu realisieren. Es wird ein Zustand mehr für die Ausgabe benötigt.

(1)

Aufgabe 2

(20 Punkte)

Kombinatorische Logik mit programmierbaren Bausteinen

1. Welchen Vorteil liefert die Verwendung von programmierbaren Bausteinen zur Logikimplementierung?

programmierbare Bausteine sind dynamisch und können im Gegensatz zur Logik implementierung verschiedene Logikfunktionen einprogrammiert bekommen. (2)

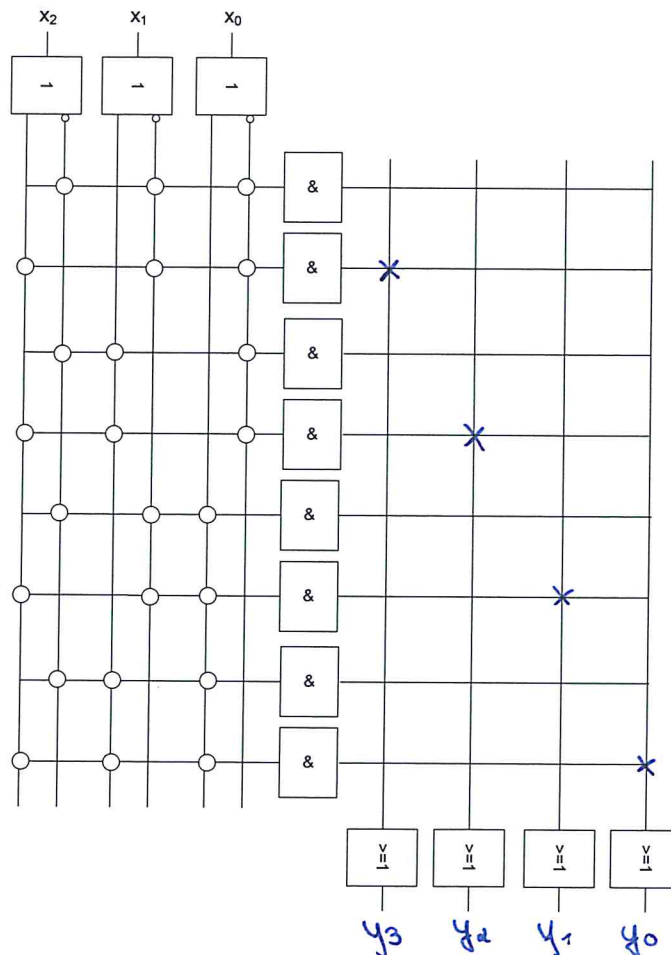
2. Worin besteht der Unterschied zwischen einem PROM und einem PAL?

PROM: Programmierbare ODER-Matrix und ?
PAL: -||- UND-Matrix und ? (2)

3. Angenommen es soll ein Primzahl-Detektor mit Hilfe eines 8x4-PROMs implementiert werden. Bis zu welcher maximalen Primzahl kann diese Funktion mit dem genannten Baustein realisiert werden? Wieviele Ausgänge sind nötig?

Mit diesem Baustein kann bis eine Funktion bis zur Primzahl 7 realisiert werden. Es werden 4 Ausgänge benötigt da es bis 7 4 Primzahlen gibt (1, 3, 5, 7). (3)

4. Implementieren Sie nun den Primzahl-Detektor im abgebildeten PROM. Markieren Sie die Verbindungen im Vordruck.



mit drei Primzahlen!
(2)

5. Für die Implementierung des Primzahl-Detektors in einem FPGA muss dieser in VHDL beschrieben werden. Ergänzen Sie dazu das gezeigte Entwurfsgerüst auf der nächsten Seite.

```
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;

ENTITY primzahl IS
  PORT (zahl : IN bit_vector(2 downto 0);
        prim : OUT bit_vector(3 downto 0));
END primzahl;

ARCHITECTURE arch OF primzahl IS
begin
  primz: process (zahl)
  begin
    case zahl is
      when "100" => Y <= "1000";
      when "110" => Y <= "0100";
      when "101" => Y <= "0010";
      when "111" => Y <= "0001";
      when others => Y <= "0000";
    end case;
  end process;
END arch;
```

?

2

Ausgabe OK

(4)

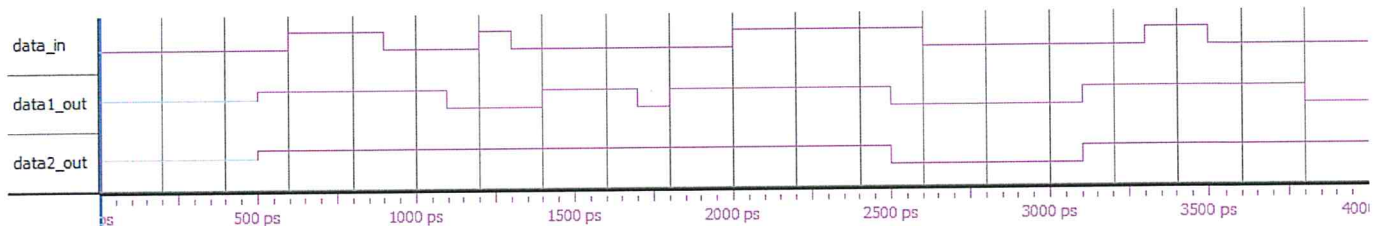
Hier haben Sie zusätzlichen Platz für die Antworten von Aufgabe 3.

Aufgabe 3

(20 Punkte)

Simulation von VHDL Modellen

Betrachten Sie das folgende Timing-Diagramm. Die abgebildeten Signale benutzen unterschiedliche Verzögerungsmodelle.



Beantworten Sie stichpunktartig die folgenden Fragen.

1. Worin besteht der Unterschied zwischen den beiden Verzögerungsmodellen Transport-Delay und Inertial-Delay?

Transaktion mit kürzerer Impulsdauer als die spezifizierte Verzögerungszeit werden entfernt.

bei welchem?
(2)

2. Welches Verzögerungsmodell wird vom Signals `data1_out` benutzt?

Transport Delay

(2)

3. Welches Verzögerungsmodell wird vom Signals `data2_out` benutzt?

Inertial Delay

(2)

4. Wie lang ist die spezifizierte Verzögerungszeit bei den beiden Signalen?

500 ps

(2)

5. Warum sind beide Signale im ersten Zeitabschnitt undefiniert?

Da ein Verzögerungszeit von 500 ps gilt und der der undefinierte Bereich unterhalb di vor diesen 500 ps liegt und damit kein gültiges Signal an die Eingänge durchgereicht werden kann.

(2)

6. Warum benötigt das Simulationsmodell von VHDL sogenannte Delta-Zyklen?

Um Nebenläufigkeit simulieren zu können.

(3)

7. Können in VHDL in einem Delta-Zyklus mehrere Signalereignisse erzeugt werden? Begründen Sie Ihre Antwort.

Nein, da innerhalb eines δ -Zyklus alle Anweisungen abgearbeitet werden, bis sich ein stabiler Zustand einstellt. Daraus wird am Ende ein Signalereignis erzeugt.

(1,5)

8. Können in VHDL in einem Delta-Zyklus mehrere Signalereignisse abgearbeitet werden? Begründen Sie Ihre Antwort.

Ja, da sich aus der sequentiellen Abarbeitung der Anweisungen neue Signalereignisse hervorkommen können, die dann auch wieder abgearbeitet werden.

(1,5)

Aufgabe 4

(18 Punkte)

Analyse einer VHDL Beschreibung

Gegeben ist der folgende VHDL-Code:

```

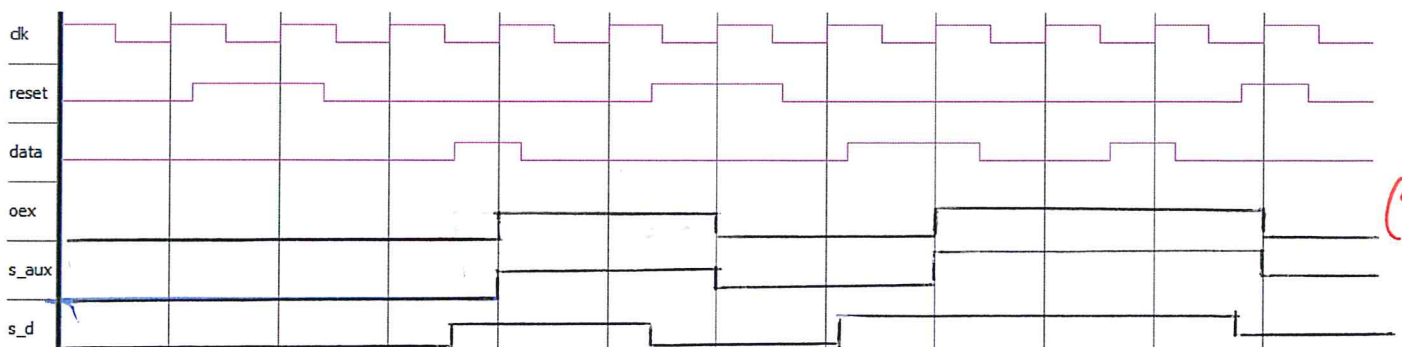
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY Mystery IS
PORT (clk:      IN std_logic;
      reset:    IN std_logic;
      data:     IN std_logic;
      oex:     OUT std_logic);
END Mystery;

ARCHITECTURE behavioral OF Mystery IS
SIGNAL s_aux:  std_logic := '0';
SIGNAL s_d:   std_logic;
BEGIN
    s_d <='0' WHEN reset = '1' ELSE
        '1' WHEN data = '1' AND reset='0' ELSE
        '1' WHEN s_aux='1' AND reset='0' ELSE
        '0' WHEN data = '0' AND s_aux='0' AND reset='0'
        ELSE 'X';
PROCESS (clk)
BEGIN
    IF (clk'event AND clk='1') THEN
        s_aux <= s_d;
    END IF;
END PROCESS;
oex <= s_aux;
END behavioral;

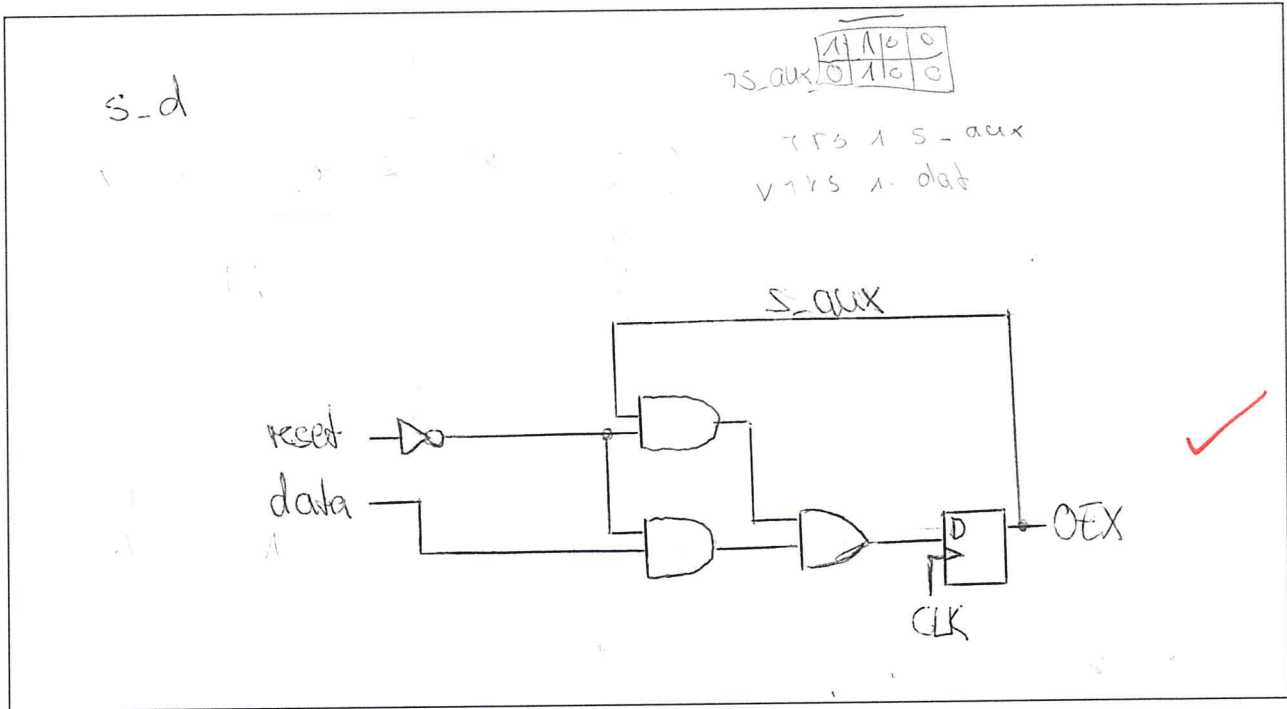
```

1. Geben Sie im untenstehenden Timing-Diagramm den Verlauf der Signale s_d , oex und s_aux in Abhängigkeit der Signale clk , $reset$ und $data$ an.



2. Zeichnen Sie eine Schaltung, welche die Funktion des VHDL-Codes realisiert. Ihnen stehen als Schaltungselemente UND- und ODER-Gatter, Inverter und Flipflops zur Verfügung. Versuchen Sie, so wenige Elemente wie möglich zu verwenden. Nutzen Sie für die Zeichnung den vorgesehenen Platz auf der nächsten Seite.

Lösungshinweis für die Aufgabe 4.2: Es ist hilfreich, die Wahrheitstabelle für s_d aufzustellen und diese zu minimieren.



(9)

Hier haben Sie zusätzlichen Platz für Zwischenrechnungen.

sehr gut!

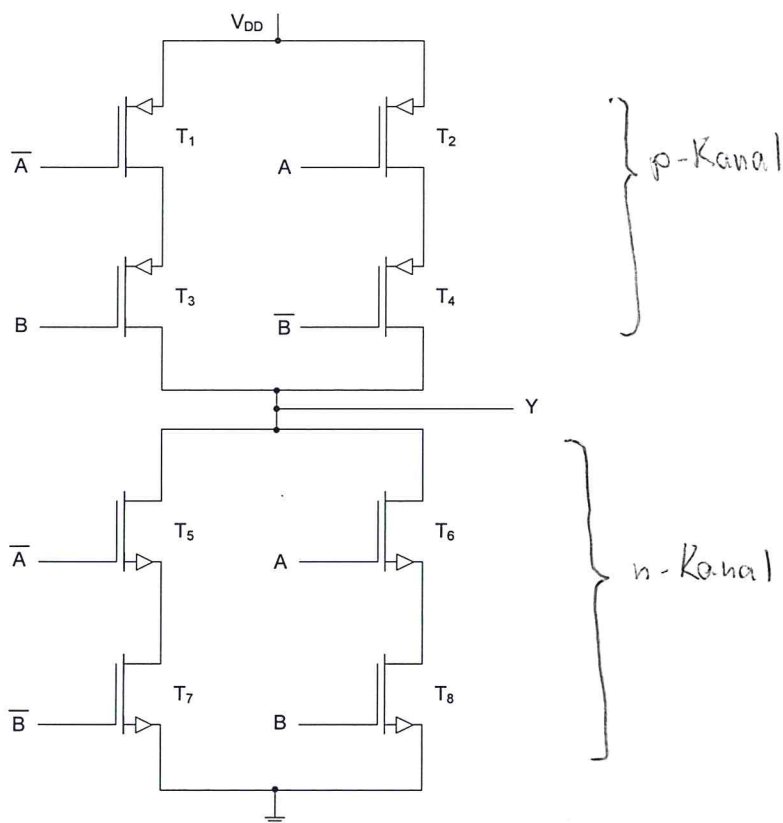
Aufgabe 5

(16 Punkte)

Digitale Schaltkreisfamilien

Beantworten Sie stichpunktartig die folgenden Fragen.

1. Worin besteht der Vorteil von CMOS-Schaltungen gegenüber NMOS-Schaltungen?
2. Nennen Sie prinzipielle Strategien zur Reduzierung der Verlustleistung in CMOS-Schaltungen.
Reduzieren des V_{DD} oder Stroms. (1)
3. Analysieren Sie die folgende Schaltung und vervollständigen Sie die Funktionstabelle.



U_A	U_B	T_1 T_2	T_2 T_1	T_3 T_4	T_4 T_3	T_5	T_6	T_7	T_8	U_Y
Low	Low	leitend	sperrend	sperrend	leitend					GND
Low	High	leitend	sperrend	leitend	sperrend	\bar{T}_1	T_2	\bar{T}_4	\bar{T}_3	VDD
High	Low	sperrend	leitend	sperrend	leitend					VDD
High	High	sperrend	leitend	leitend	sperrend					GND

(7)