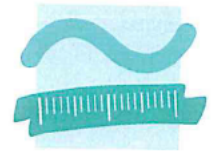


Digitaltechnik (DT)	Name: [REDACTED]
Kurztest 1, 27.10.2016, WS 2016	
<i>Thema:</i> VHDL	Matrikelnr.: [REDACTED]



Hinweis

Als Hilfsmittel sind erlaubt:

- eigene Mitschriften
- Skript dieser Veranstaltung
- Taschenrechner

Das Verwenden weiterer Hilfsmittel gilt als Täuschung und führt zur Nichtanerkennung des Tests.

Es sind alle Arbeits- und Ableitungsschritte zu dokumentieren. Lösungen ohne erkennbaren Lösungsweg oder kurze Begründung, sowie durchgestrichene oder nicht lesbare Lösungen werden nicht gewertet. Bei zwei angegebenen Lösungen wird keine berücksichtigt. Bitte benutzen Sie keine roten oder grünen Stifte.

Mobiltelefone sind abzuschalten und in der Tasche zu verstauen. Der gegenseitige Austausch von Unterlagen, sowie Unterhaltungen während des Tests sind nicht gestattet. Jeder Täuschungsversuch, sowie das Anfertigen von Kopien führt zum sofortigen Ausschluss und somit zum Nichtbestehen der Prüfung.

Bitte versehen Sie jedes Blatt mit Namen und Matrikelnummer und nummerieren Sie alle Blätter durch.

Bearbeitungszeit: 15 min.

Ab hier bitte keine Eintragungen vornehmen!

Aufgabe:	1	2	Summe
Punkt(e):	8	7	15
Erreicht:	4	2.5	6.5

Note:

5.0

Aufgabe 1

(8 Punkte)

Gegeben sei folgende VHDL-Beschreibung.

```

ENTITY Schaltung IS
    PORT( a,b: IN bit;
          y: OUT bit);
END Schaltung;

ARCHITECTURE Behavior OF Schaltung IS
    BEGIN
        y <= '1' WHEN a=b ELSE '0';
    END Behavior;

```

1. Geben Sie die Wertetabelle zu der beschriebenen Funktion an.
2. Welche Art der Architecture-Beschreibung liegt hier vor?
3. Mit welcher Form der Signalzuweisung wird hier die logische Funktion dargestellt?
4. Welche Schaltung wird die Synthese hier vermutlich generieren? Zeichnen Sie das Schaltbild.

Aufgabe 2

(7 Punkte)

1. Stellen Sie die unter 1.4. ermittelte Schaltung in algebraischer Form (Boolsche Gleichung) dar.
2. Formen Sie die logische Gleichung mit Hilfe der DeMorgan-Gesetze so um, dass nur NAND-Gatter auftreten.
3. Geben Sie die NAND-Realisierung in korrekter VHDL-Syntax an. Nutzen Sie den Vordruck unten. Was ist durch diese Änderung betroffen? Entity oder Architecture?

Architecture (1)

```

ENTITY Schaltung IS
    PORT(a,b: IN bit;
          y: OUT bit);
END Schaltung;

ARCHITECTURE Behavior OF Schaltung IS
    BEGIN
y <= (a AND b) OR (NOT a AND NOT b);
    END Behavior;

```